



电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

实验6 – 多功能数字钟

指导教师：曾喻江博士

Email: zengyj@mail.hust.edu.cn

华中科技大学 电子与信息工程系

二〇一〇年五月

HUST

内容大纲

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

- 1 自学内容
- 2 多功能数字钟设计
- 3 实验任务
- 4 一些资源

内容大纲

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

- 1 自学内容
- 2 多功能数字钟设计
- 3 实验任务
- 4 一些资源

HUST

需要自学的內容

电子线路设计
与测试

曾喻江

自学內容

多功能数字钟
设计

实验任务

一些资源

Thanks

第7章 数字逻辑电路应用设计

- 7.4 多功能数字钟电路设计 (P198)

第8章 Verilog HDL及其应用

- 8.1-8.5节 (P221)

第9章 FPGA的开发与应用

- 9.1 Altera公司可编程逻辑器件简介 (P252)

其它...

- 教材中没有，但是完成实验所需要的文档

需要自学的内容

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

第7章 数字逻辑电路应用设计

- 7.4 多功能数字钟电路设计 (P198)

第8章 Verilog HDL及其应用

- 8.1-8.5节 (P221)

第9章 FPGA的开发与应用

- 9.1 Altera公司可编程逻辑器件简介 (P252)

其它...

- 教材中没有，但是完成实验所需要的文档

需要自学的內容

电子线路设计
与测试

曾喻江

自学內容

多功能数字钟
设计

实验任务

一些资源

Thanks

第7章 数字逻辑电路应用设计

- 7.4 多功能数字钟电路设计 (P198)

第8章 Verilog HDL及其应用

- 8.1-8.5节 (P221)

第9章 FPGA的开发与应用

- 9.1 Altera公司可编程逻辑器件简介 (P252)

其它...

- 教材中没有，但是完成实验所需要的文档

需要自学的内容

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

第7章 数字逻辑电路应用设计

- 7.4 多功能数字钟电路设计 (P198)

第8章 Verilog HDL及其应用

- 8.1-8.5节 (P221)

第9章 FPGA的开发与应用

- 9.1 Altera公司可编程逻辑器件简介 (P252)

其它...

- 教材中没有，但是完成实验所需要的文档

需要自学的內容

电子线路设计
与测试

曾喻江

自学內容

多功能数字钟
设计

实验任务

一些资源

Thanks

学习要求

- 了解数字钟的功能要求及设计方法
- 了解CPLD/FPGA的一般结构及开发步骤
- 掌握Quartus II软件的使用方法
- 熟悉用FPGA器件取代传统的中规模集成器件实现数字电路与系统的方法

内容大纲

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

- 1 自学内容
- 2 多功能数字钟设计
- 3 实验任务
- 4 一些资源

多功能数字钟设计

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

基本功能:

- 以数字形式显示时、分、秒的时间
- 小时计数器为同步24进制
- 要求手动校时、校分

扩展功能:

- 快校时电路
- 仿广播电台正点报时
- 定时控制, 其时间自定
- 报整点时数

多功能数字钟设计

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

基本功能:

- 以数字形式显示时、分、秒的时间
- 小时计数器为同步24进制
- 要求手动校时、校分

扩展功能:

- 快校时电路
- 仿广播电台正点报时
- 定时控制，其时间自定
- 报整点时数

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

设计与实验的步骤

- 熟悉Quartus II软件的使用
- 拟定数字钟的组成框图，划分模块
- 采用分模块、分层次的方法设计电路
- 各单元模块电路的设计与仿真
- 总体电路的设计与仿真
- 总体电路的下载与调试
- 设计可以采用原理图或HDL语言

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

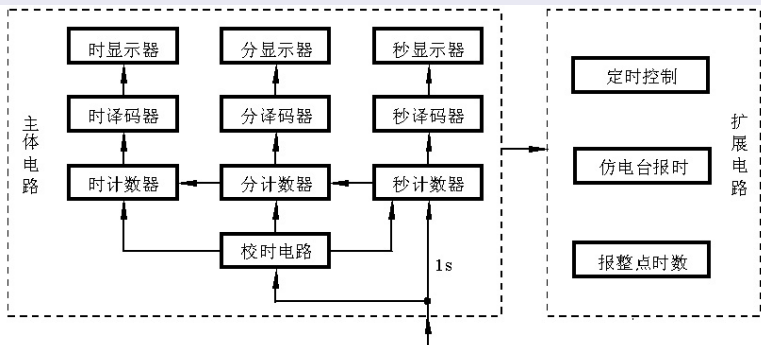
多功能数字钟
设计

实验任务

一些资源

Thanks

根据设计要求，画出组成框图组成框图



多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

时、分、秒计数器的设计

- 分和秒计数器都是模 $M=60$ 的计数器
 - 其计数规律为00-01-...-58-59-00...
- 时计数器是一个24进制计数器
 - 其计数规律为00-01-...-22-23-00...
 - 即当数字钟运行到23时59分59秒时，秒的个位计数器再输入一个秒脉冲时，数字钟应自动显示为00时00分00秒

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

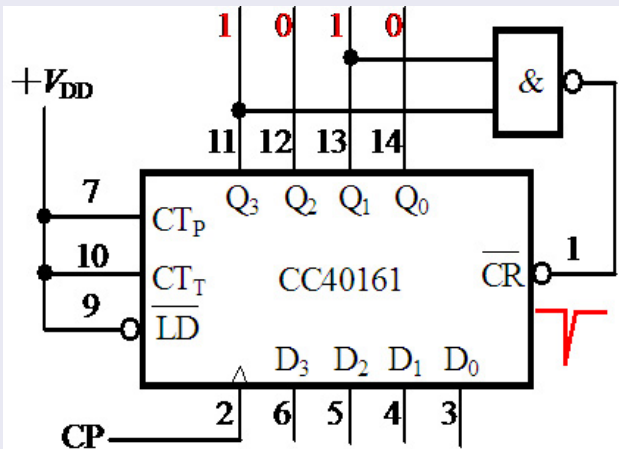
多功能数字钟
设计

实验任务

一些资源

Thanks

构成任意进制计数器的方法（异步清零）



多功能数字钟设计(Cont.)

电子线路设计与测试

曾喻江

自学内容

多功能数字钟设计

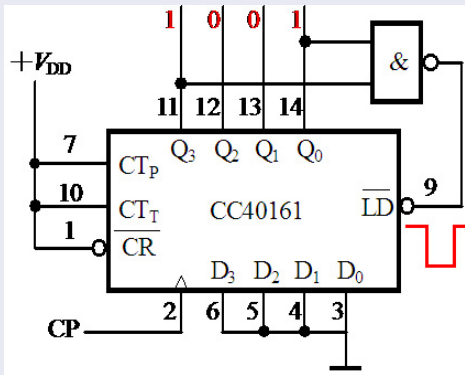
实验任务

一些资源

Thanks

构成任意进制计数器的方法（同步预置）

- 利用同步预置实现清零功能
- 清零可靠，输出没有毛刺



多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

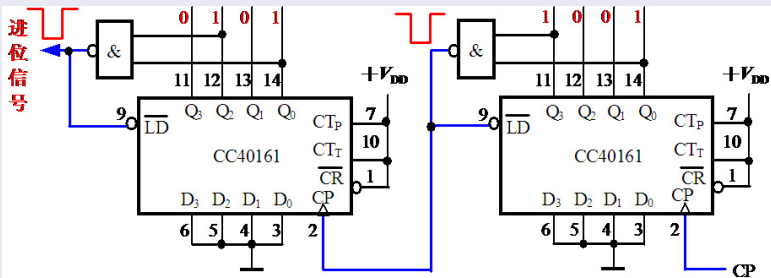
实验任务

一些资源

Thanks

构成多位计数器的级联方法（异步）

- 六十进制计数器，串行进位（异步）
- 优点：简单；缺点：速度较慢



多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

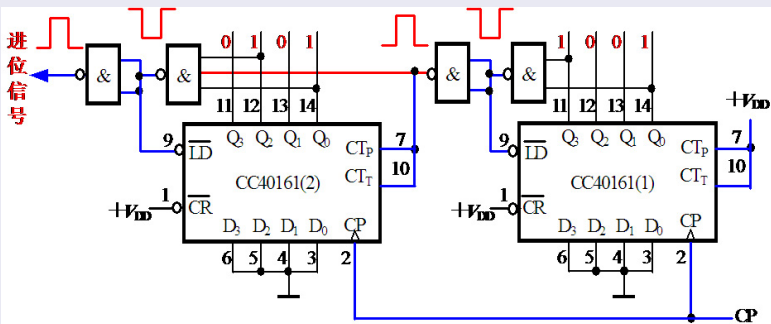
实验任务

一些资源

Thanks

构成多位计数器的级联方法（同步）

- 六十进制计数器，并行进位（同步）
- 优点：速度较快；缺点：较复杂



多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

校时电路的设计

- 对校时电路的要求是
 - 在小时校正时不影响分和秒的正常计数
 - 在分校正时不影响秒和小时的正常计数
- 校时方式有“快校时”和“慢校时”两种
 - “快校时”是通过开关控制，使计数器对1Hz的校时脉冲计数
 - “慢校时”是用手动产生单脉冲作校时脉冲

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

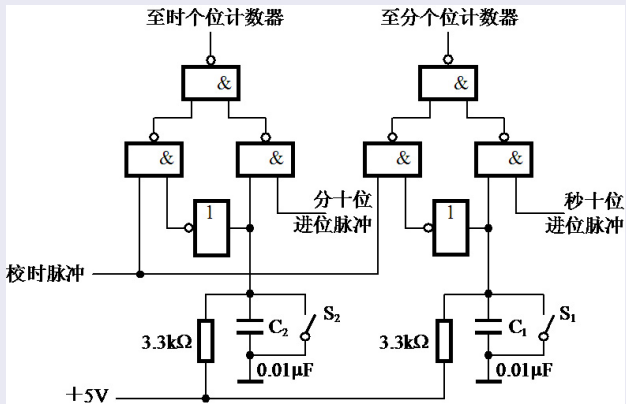
多功能数字钟
设计

实验任务

一些资源

Thanks

校时电路的设计(Cont.)



多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

仿广播电台正点报时电路

表7.4.2 秒个位计数器的状态

CP(秒)	Q ₃₅₁	Q ₂₅₁	Q ₁₅₁	Q ₀₅₁	功能
50	0	0	0	0	
51	0	0	0	1	鸣低音
52	0	0	1	0	停
53	0	0	1	1	鸣低音
54	0	1	0	0	停
55	0	1	0	1	鸣低音
56	0	1	1	0	停
57	0	1	1	1	鸣低音
58	1	0	0	0	停
59	1	0	0	1	鸣高音
00	0	0	0	0	停

HUST

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

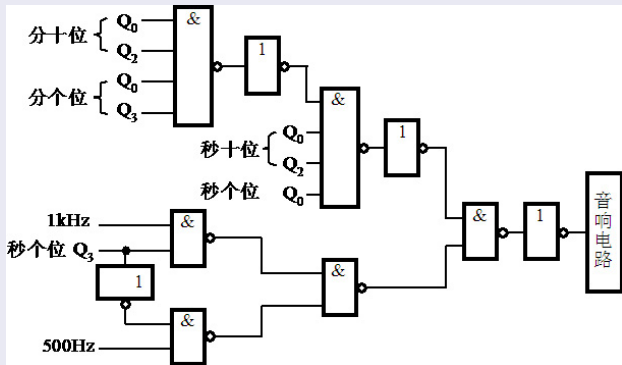
多功能数字钟
设计

实验任务

一些资源

Thanks

仿广播电台正点报时电路(Cont.)



多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

Example 1

- 定时控制电路
- 要求上午7时59分发出闹时信号，持续时间为1分钟

7时59分对应数字钟的

- 时个位计数器的状态为 $(Q_3Q_2Q_1Q_0)_{H1}=0111$
- 分十位计数器的状态为 $(Q_3Q_2Q_1Q_0)_{M2}=0101$
- 分个位计数器的状态为 $(Q_3Q_2Q_1Q_0)_{M1}=1001$
- 若将上述计数器输出为“1”的所有输出端经过与门电路去控制音响电路，可以使音响电路正好在7点59分响，持续1分钟后（即8点时）停响

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

Example 1

- 定时控制电路
- 要求上午7时59分发出闹时信号，持续时间为1分钟

7时59分对应数字钟的

- 时个位计数器的状态为 $(Q_3Q_2Q_1Q_0)_{H1}=0111$
- 分十位计数器的状态为 $(Q_3Q_2Q_1Q_0)_{M2}=0101$
- 分个位计数器的状态为 $(Q_3Q_2Q_1Q_0)_{M1}=1001$
- 若将上述计数器输出为“1”的所有输出端经过与门电路去控制音响电路，可以使音响电路正好在7点59分响，持续1分钟后（即8点时）停响

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

报整点时数电路

每当数字钟计时到整点时发出音响，且几点响几声。实现这一功能的电路主要由以下几部分组成：

- 减法计数器完成几点响几声的功能。即从小时计数器的整点开始进行减法计数，直到零为止
- 编码器将小时计数器的5个输出端Q4、Q3、Q2、Q1、Q0按照“12翻1”的编码要求转换为减法计数器的4个输入端D3、D2、D1、D0所需的BCD码
- 逻辑控制电路控制减法计数器的清“0”与置数。控制音响电路的输入信号

多功能数字钟设计(Cont.)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

触摸报整点时数电路

- 在有些场合（如夜间），不便于直接看显示时间，希望数字钟有触摸报时功能。即触摸数字钟的某端，能够报当时的整点时数
- 根据功能要求，不难设想在"报整点时数电路"的基础上，增加一触发脉冲控制电路即可
- 产生触摸控制脉冲的电路有单次脉冲产生器，555集成电路定时器，单稳态触发器等

内容大纲

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

- 1 自学内容
- 2 多功能数字钟设计
- 3 实验任务
- 4 一些资源

HUST

实验任务：14-16周

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

多功能数字钟设计(p204/286)

- 设计任务与要求 (p286设计课题4)
- 分模块、分层次设计电路的方法 (六十进制计数器)
- 数字钟主体功能 (小时为12进制)
- 扩展功能：校时、仿广播电台正点报时

实验内容

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

选做部分

- 可任意设定时间的闹钟（1分）
- 报整点时数（1分）
- 小时显示：可切换12小时/24小时显示（1分）

内容大纲

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

- 1 自学内容
- 2 多功能数字钟设计
- 3 实验任务
- 4 一些资源

HUST

国际化的环境与平台

电子线路设计
与测试

曾喻江

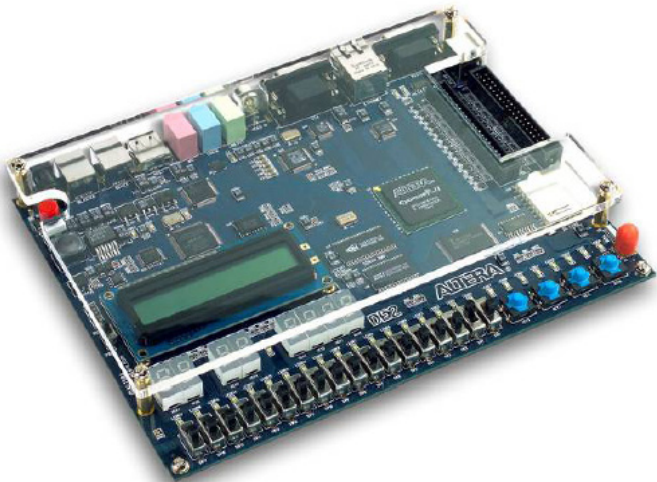
自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks



在过去4年中...

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

超过3000家企业用户

SIEMENS



JABIL



NOKIA
Connecting People



GE Global Research
United States - India - China - G



Panasonic

HUST

在过去4年中...

超过700个大学联合实验室



University of Illinois at Urbana – Champaign



Johns Hopkins University



MIT



CIT



United States Naval Academy

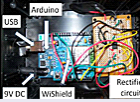


Cornell University



在还没有结束的2009-2010学年度...

部分国外顶尖学生项目:

	Adaptive Cancellation of Periodic 60 Hz Noise August 2009		FPGA-Based Real-time GPS Receiver Dec 2009
	Touch Screen User Interface for the Cornell Automotive X-PRIZE Competition Car May 2010		Onboard Weather Station May 2010
	ARDUINO Based Wireless Power Meter May 2010		Sound Identification of Loons May 2010
	Power Harvesting Wireless Sensor System May 2010		Graphics Pipeline on FPGA May 2010
	Two-Dimensional Graphics Card (GPU) on an Altera FPGA May 2010		Preliminary Design of a Systematic Gain Calibration Tool Using MATLAB May 2010

电子线路设计与测试

曾喻江

自学内容

多功能数字钟设计

实验任务

一些资源

Thanks

HUST

国际领先水平

电子线路设计与测试

曾喻江

自学内容

多功能数字钟设计

实验任务

一些资源

Thanks

DE3



Academic



MASSACHUSETTS
INSTITUTE OF
TECHNOLOGY



UNIVERSITY OF
CAMBRIDGE



CALIFORNIA INSTITUTE
OF TECHNOLOGY



STANFORD
UNIVERSITY



UNIVERSITY OF
TORONTO



UNIVERSITY OF
BRITISH COLUMBIA

PURDUE
UNIVERSITY



THE OHIO STATE
UNIVERSITY



UMASS
AMHERST

Berkeley
UNIVERSITY OF CALIFORNIA

Duke
UNIVERSITY



Royal Institute
of Technology

HUST

和他们相比，我们的路还很长...

从这里开始:

- DE2 board, especially the Users Manual
- PIN assignment csv file
- SOPC examples: [Altera Design Contest winners](#)
- Review Synthesizable Verilog syntax from one of the links below, possibly [Code Examples](#), or Synthesis Methodology
- Download and inspect the contents of the DE2 CDROM zip version 1.5 ([Altera link](#))
- 可编程逻辑基础 (Altera中文培训2008)
- 怎样开始一个简单的FPGA设计 (Altera中文培训2009)
- Quartus II软件入门 (自编2009)
- Quartus II简介 (Altera中文手册)
- Quartus II tutorial for Verilog, VHDL, Schematic (Altera英文指导书)
- Verilog HDL基础, VHDL基础 (Altera中文培训2008)

电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

HUST



电子线路设计
与测试

曾喻江

自学内容

多功能数字钟
设计

实验任务

一些资源

Thanks

Thank you!

Any Questions?



HUST